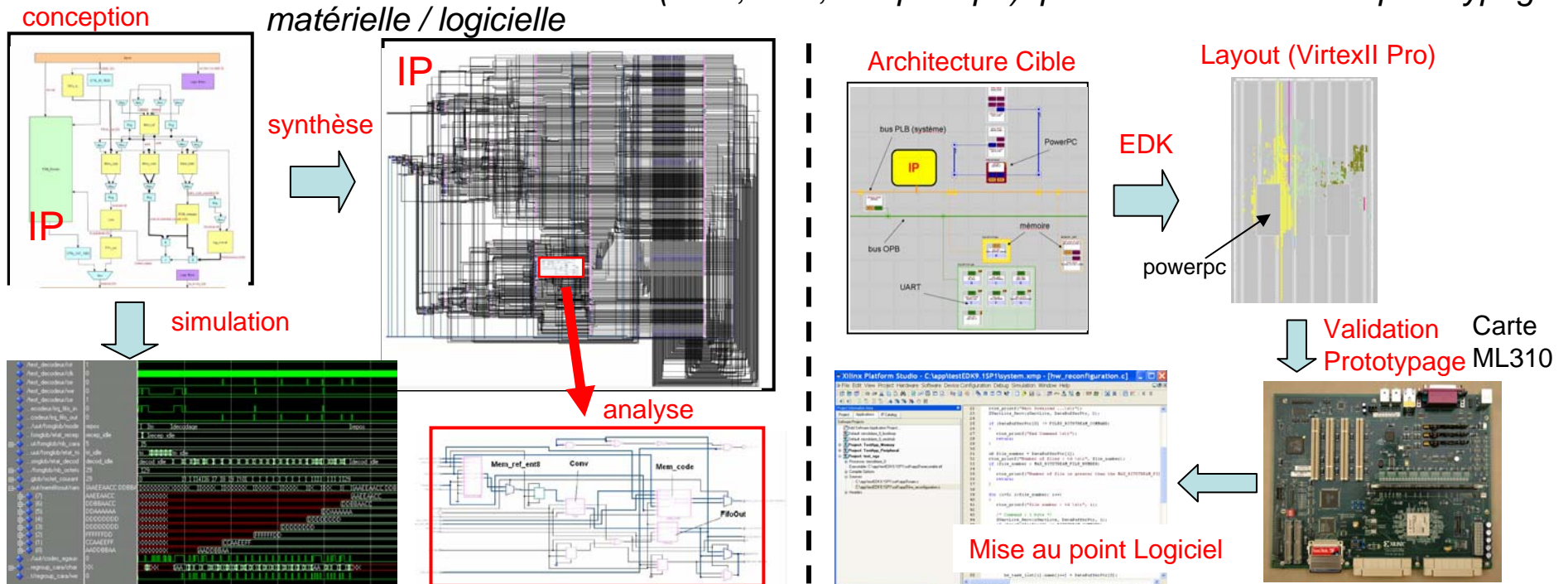


# T.P. : Pôle - Nice-Sophia

## Conception de SoC

**Mots clefs :** Conception et Intégration d'IP, System on Chip, Flot de Conception

- Objectifs** {
- Conception, validation et synthèse sur VirtexII pro d'une IP à écrire en VHDL
  - Définition de l'architecture cible (Carte ML310, VirtexII Pro, PowerPC, mémoires, communications, IP)
  - Utilisation du flot Xilinx (EDK, ISE, ChipScope) pour la validation et prototypage matérielle / logicielle



**Matériels / Techniques utilisés :** ModelSim, Precision Synthesis, ISE, EDK, ChipScope, Carte ML310 (VirtexII Pro)

**Durée de la formation :** Cours/TD : 21 heures, TP : 24 heures

**Formations utilisatrices :** Ingénieurs EPU – Nice-Sophia 5<sup>ème</sup> année (Dept. Elec, option GSE & CCS)

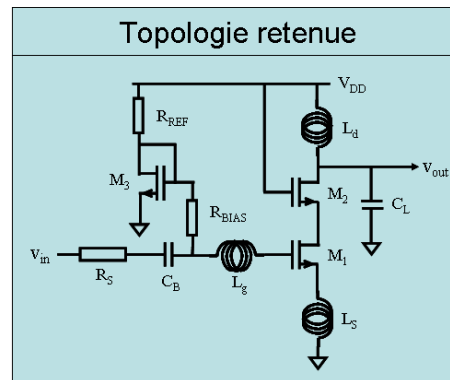
## Conception et optimisation d'un LNA

**Mots clefs :** Microélectronique RF, LNA, SpectreRF, conception

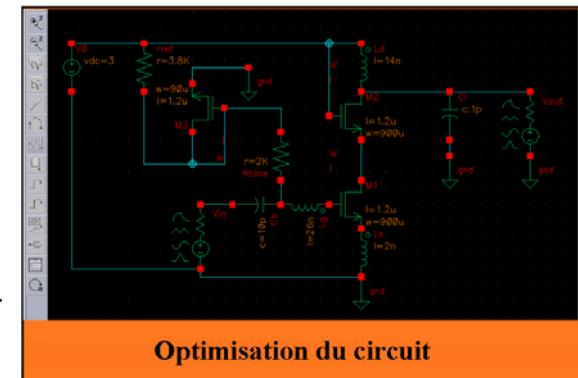
- Objectifs** {
- Prendre en main l'outil SpectreRF sous Cadence
  - Maîtriser les critères de convergence des analyses PSS, PAC, PNOISE, ...
  - Dimensionner un circuit RF au premier ordre et optimisation sous Cadence

**Cahier des charges**

- Architecture Single-Ended
- $V_{DD} = 3\text{ V}$
- Fréquence de travail : 900 MHz
- Consommation : 15 mW
- Système 50  $\Omega$
- $G_{Max}$  et  $NF_{Min}$  à 900 MHz



Dimensionnement  
Au premier ordre  
➔  
Optimisation sous  
Cadence



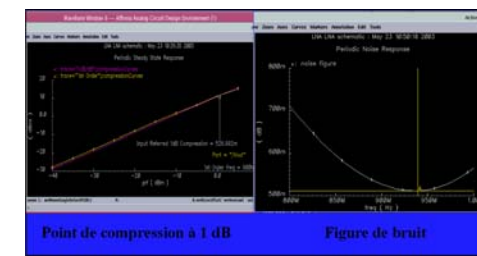
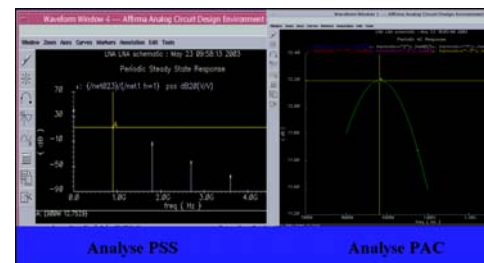
**Dimensionnement manuel**

$$W_{opt} = \frac{1}{3\alpha L_g C_g R_T} \quad C_g = \frac{2}{3} C_{gs} L W = C_{gs} L_g W \quad Z_{in} = (L_g + L_s) p + \frac{1}{C_g p} + \alpha_g L_s$$

$$I_{DC} = \frac{1}{2} K P_0 \frac{W}{L} (V_{GS} - V_T)^2 \quad g_m = \sqrt{2 K P_0 \frac{W}{L} I_{DC}} \quad \alpha_g = \frac{1}{\sqrt{(L_g + L_s) C_g}} = \frac{1}{\sqrt{L_s C_{IT}}}$$

$$\frac{g_m}{C_g} L_s = \alpha_g L_s = R_s = 50\Omega \quad NF_{min} = 1 + 2.3 \frac{\alpha_g}{\omega_p}$$

Dimensionnement  
Au premier ordre  
➔  
Optimisation sous  
Cadence



**Matériels / Techniques utilisés :** Outils Spectre RF Cadence – Design kit AMS 0,35

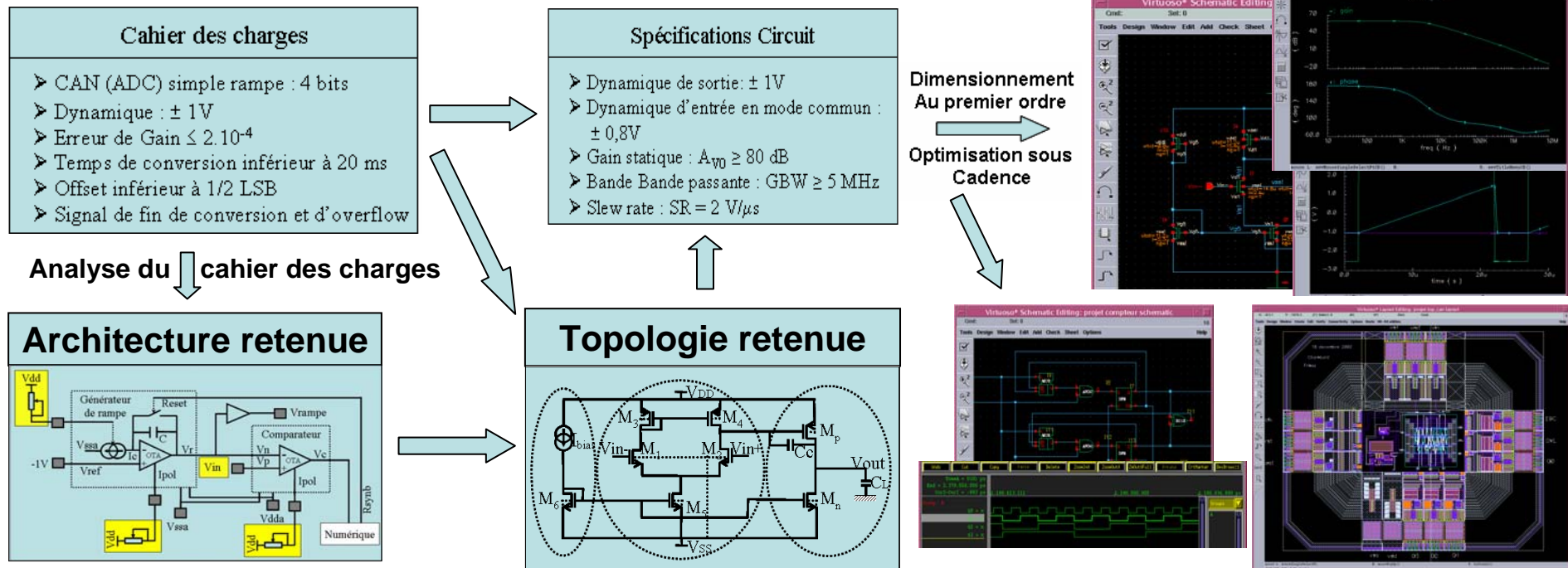
**Durée du stage :** TP sous Cadence : 15 heures

**Formations utilisatrices :** Ingénieurs EPU Nice-Sophia 5<sup>ème</sup> année & M2R TRFM UNSA

## Conception mixte analogique-numérique

**Mots clefs** : Conception mixte, analyse Top-Down, dimensionnement, layout

- Objectifs** {
- Analyser un cahier des charges et en déduire les spécifications des blocs
  - Dimensionner un circuit analogique au premier ordre et optimisation sous Cadence
  - Utiliser le flot Cadence : du cahier des charges au layout



**Matériels / Techniques utilisés** : Outils Cadence – Design kit AMS 0,35

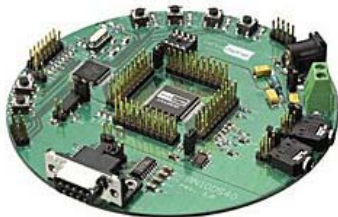
**Durée du stage** : Cours : 6 heures + TP sous Cadence : 66 heures

**Formations utilisatrices** : Ingénieurs EPU Nice-Sophia 5<sup>ème</sup> année (option CCS)

## Synthèse de filtre sur FPAA

**Mots clefs :** Filtrage, FPAA, synthèse de filtre, capacités commutées

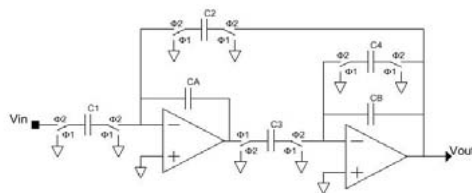
- Objectifs** {
- Utiliser un FPAA pour réaliser une fonction de filtrage
  - Synthétiser un filtre et le programmer
  - Déterminer les limites d'un composant de type FPAA



Library Anadigm A - IPmodule Help

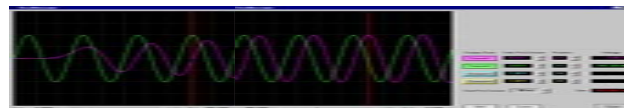
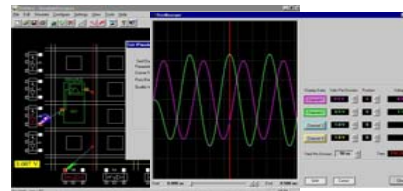
### F01 – Low Pass Biquad Filter (low Q)

This IPmodule is a full cycle low pass filter based on a biquadratic transfer function. It is designed for low Q (pole quality factor) values.



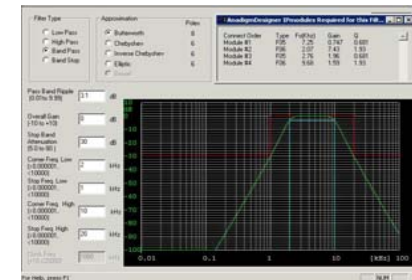
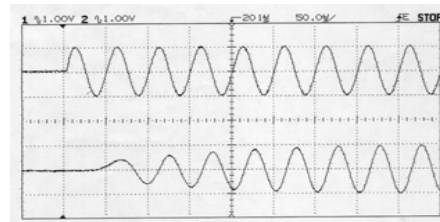
$$f_0 = \frac{f_c}{2\pi} \sqrt{\frac{C_2 C_1}{C_4 C_3}} \quad G = \frac{C_1}{C_2} \quad Q = \frac{C_3}{C_4} \sqrt{\frac{C_2 C_1}{C_4 C_3}}$$

Programmation d'IP  
Analyse temporelle



Simulation

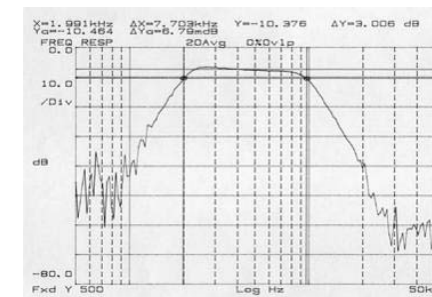
Mesures



Simulation

Synthèse de filtre

Mesures



**Matériels / Techniques utilisés :** FPAA : Anadigm AN10E40 + logiciels : **AnadigmDesigner et FilterDesigner**

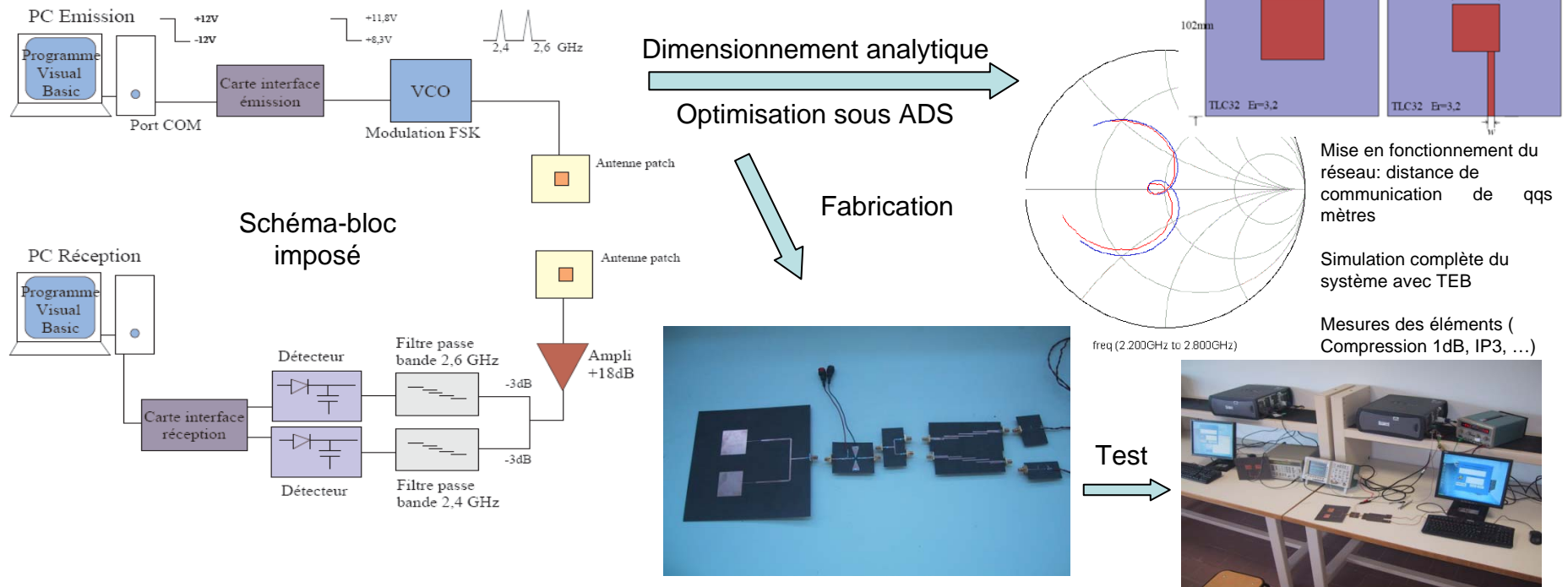
**Durée du stage :** TP : 3 heures

**Formations utilisatrices :** Ingénieurs EPU Sophia 4<sup>ème</sup> année + L3 EEA UFR Sciences Nice

## Communication sans fil à modulation FSK entre 2 PC

**Mots clefs :** Conception de circuits hyperfréquences, Modulation FSK

- Objectifs** {
- Concevoir les éléments hyperfréquences nécessaires à la communication radio FSK
  - Utilisation de nombreux concepts acquis tout au long du cycle Ingénieur
  - Utiliser le flot Cadence : du cahier des charges au layout



**Matériels / Techniques utilisés :** Logiciel de CAO ADS – Module Momentum

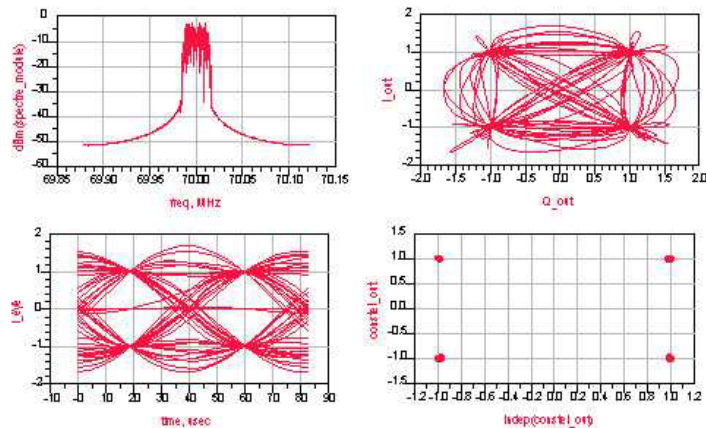
**Durée du stage :** 5TP x6 heures + Libre travail

**Formations utilisatrices :** Ingénieurs EPU Nice-Sophia 5<sup>ème</sup> année (option TR)

## SYSTEMES DE COMMUNICATIONS NUMERIQUES

**Mots clefs :** Simulation système, communications numériques, caractérisation RF

- Objectifs** {
- Formation aux outils modernes de simulation système,
  - illustrer les concepts fondamentaux des communications numériques.
  - Simulation d'une chaîne de réception en format CDMA, simulation d'un récepteur GPS



Simulation systèmes



Banc de mesure systèmes

### **Matériels / Techniques utilisés :**

Logiciel de simulation et de circuits, ADS, Ptolemy, analyseur de spectre, oscilloscope numérique

**Durée du stage :** 1 jour (8 heures)

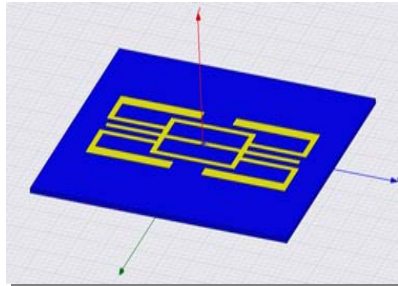
### **Formations utilisatrices :**

Master recherche MINELEC(Marseille) – Ingénieurs EPU Marseille 5ème année

## REALISATION D'UN TAG RFID UHF

**Mots clefs :** Conception de circuits RF, antennes miniatures, caractérisation RF

- Objectifs** {
- Sensibiliser les étudiants aux systèmes de communication sans contact
  - Fabriquer une étiquette RFID UHF
  - Tester la communication en chambre anéchoïde.



Simulation  
HFSS



Graveuse  
d'antenne



Mesure du tag  
en chambre

### **Matériels / Techniques utilisés :**

Logiciel de conception d'antennes et de circuits, ADS, HFSS, graveuse de circuit, banc de mesure sous pointes, analyseur de réseaux, banc de mesure RFID, chambre anéchoïde.

**Durée du stage :** 2 à 3 jours (16 ou 24 heures) selon le niveau

### **Formations utilisatrices :**

Master recherche MINELEC(Marseille) – Ingénieurs EPU Marseille 5ème année  
Licence Pro EISI Telecom (IUT Marseille)